

Abstract

The present invention provides an ESD protection circuit for preventing an internal circuit from being damaged by ESD, wherein the internal circuit is connected to a pad. The ESD protection circuit comprises a first transistor, a second transistor and a voltage divider. The first transistor has a drain connected to the pad and a source connected to a drain of the second transistor. The second transistor has a source and a gate commonly connected to a supply voltage, and has a drain connected to a source of the first transistor. The voltage divider is connected between the pad and the supply voltage, and also connected to a gate of the first transistor for providing a bias voltage thereto such that the first transistor is turned on when ESD occurs.

公告本

申請日期: 88.10.5

案號: 88201638

類別: H01L23/20

(88811211982諸)

(以上各欄由本局填註)

新型專利說明書

464058

一、 新型名稱	中文	積體電路之靜電保護電路
	英文	
二、 創作人	姓名 (中文)	1. 陳偉梵
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 台中市北區三民路三段89巷6號
三、 申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1. Winbond Electronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓名 (中文)	1. 焦佑鈞
	代表人 姓名 (英文)	1.

四、中文創作摘要 (創作之名稱：積體電路之靜電保護電路)

本創作提供一種積體電路之靜電保護電路，用以防止一內部電路受到靜電襲擊。其中，內部電路經過一焊墊(pad)接收或輸出信號，此靜電保護電路包括一第一、第二電晶體及一分壓電路。第一電晶體之汲極連接至焊墊。第二電晶體之汲極連接至第一電晶體之源極，而源極則與閘極相連並同時連接至一供應電壓端。分壓電路連接於焊墊與供應電壓端之間，並且與第一電晶體之閘極連接而在焊墊受靜電襲擊時，提供一偏壓至第一電晶體之閘極，使第一電晶體導通。

英文創作摘要 (創作之名稱：)



五、創作說明 (1)

本創作係關於一種積體電路之靜電保護電路，特別關於一種在焊墊(pad)受到靜電襲擊時，具有較高靜電放電能力之靜電保護電路。

隨著VLSI電路之體積不斷縮小，VLSI電路之製造商為了符合電路積體之壓縮原則及增加產品之性能，亦不斷地生產出具有更薄的閘極氧化層之半導體裝置。因此，使得半導體裝置中之閘極氧化層之厚度不斷地縮小。目前在深度半微米(half micrometer)技術中，閘極氧化層之厚度可以做到約60 Å。在此條件下，如果在閘極氧化層加上一7MV/cm大小之電場，因FN隧穿而產生之電流便會出現。所以，此種半導體裝置無法耐受長時間在閘極氧化層上持續出現高於7MV/cm大小之電場。因此，為了不使此種半導體裝置之閘極氧化層產生損壞之問題，在閘極氧化層上所加之偏壓最大不能超過4.2V ($60 \text{ Å} \times 7 \text{ MV/cm}$)。如果再把製造過程中會產生之瑕疵考慮在內，所能使用之最大偏壓值還要再減小。

使用薄閘極氧化層還會引起其他的問題，尤其是對I/O單元及靜電保護電路。對某些核心電路，如微處理器，其體積不斷地在減小，且其速度也比週邊裝置來得快。微處理過程中所需之供應電壓也愈來愈小。而I/O單元所使用之供應電壓值都較微處理器所使用之供應電壓值大。因此，在一半導體裝置中之閘極氧化層厚度都相同的情況下，卻在某些電路中必需操作在高於供應電壓之電壓值下，會造成閘極氧化層在可靠度上的問題。



五、創作說明 (2)

因此，為了避免上述問題發生，陸續不斷有新的靜電保護電路出現。如美國專利5532178號中提出之靜電保護電路，其使用了一未摻雜之多晶矽閘極做為靜電放電電晶體，而使其能夠耐受比供應電壓還高之電壓值，但在製程上卻需要額外之光罩且因未摻雜之多晶矽閘極不易控制，導致 V_t 值不穩定。另外在美國專利5696397號中亦提出了一種使用寄生電晶體(parasitic MOS)之靜電保護電路，但卻無法有全振幅(full swing)。再者，在美國專利5495185中提出了一種使用depletion MOS之靜電保護電路，但在製程上也需要額外之光罩及步驟才可完成。

此外，如圖1所示，係一習知技術中之靜電保護電路10之電路圖。其中包括一焊墊(pad)11及兩電晶體13、15。此靜電保護電路係連接至一內部電路17以防止其遭受靜電之損害。電晶體13之汲極連接至焊墊11且其閘極連接至電壓端 V_{dd} 。電晶體15之汲極連接至電晶體13之源極且其閘極與源極相連而同時連接至電壓端 V_{ss} 。

但上述之靜電保護電路具有以下之缺點。當靜電襲擊且電壓端 V_{dd} 處於浮接狀態時，電晶體13係處於關閉狀態，電晶體13之源極至電晶體15之汲極間之長距離，會造成側邊npn之 β 增益更差，而降低了靜電放電之能力。另外，在相同的情形下，即當靜電襲擊且電壓端 V_{dd} 處於浮接狀態時，電晶體15之汲極亦處於浮接狀態，造成在電晶體15之汲極至源極間不會有淨電流流過，使得電晶體15並不會發生熱電子加速崩潰(hot electron accelerate



五、創作說明 (3)

avalanche breakdown) 之現象，導致其具有一高崩潰電壓，降低其靜電放電之能力。

因此，為了避免上述之問題，本創作提供了一種靜電保護電路，係上述電路之改良，在靜電襲擊時能夠在電晶體13之閘極上保持一偏壓，使電晶體13導通，而消除上述原因所造成之靜電放電能力降低的現象。

本創作提供一種積體電路之靜電保護電路，用以防止一內部電路受到靜電襲擊。其中，內部電路經過一焊墊接收或輸出信號，此靜電保護電路包括一第一、第二電晶體及一分壓電路。第一電晶體之汲極連接至焊墊。第二電晶體之汲極連接至第一電晶體之源極，而源極則與閘極相連並同時連接至一供應電壓端。分壓電路連接於焊墊與供應電壓端之間，並且與第一電晶體之閘極連接而在焊墊受靜電襲擊時，提供一偏壓至第一電晶體之閘極，使第一電晶體導通。

本創作亦提供一種積體電路之靜電保護電路，用以防止一內部電路受到靜電襲擊。其中，內部電路經過一焊墊接收或輸出信號，此靜電保護電路包括一第一、第二電晶體及一分壓電路。第一電晶體之汲極連接至焊墊。第二電晶體之汲極連接至第一電晶體之源極，而源極則與閘極相連並同時連接至一供應電壓端。分壓電路連接於焊墊與供應電壓端之間，包括一上負載及與上負載串連之下負載。分壓電路經由上負載與焊墊連接而經由下負載與供應電壓端連接，且第一電晶體之閘極係連接至上負載與下負載之



五、創作說明 (4)

連接處，在焊墊受靜電襲擊時，分壓電路提供一偏壓至第一電晶體之閘極，使第一電晶體導通。

其中，上負載與下負載可以由串連之二極體所組成，亦可由電阻所組成。此外，上負載與下負載亦可同時由電容所組成，或是其中之一由一電流源所組成。

藉由上述之特徵，使得在本創作中之靜電保護電路在受靜電襲擊時，能藉由分壓電路而在第一電晶體之閘極保持一偏壓使其導通，而消除了習知技術的靜電保護電路中所產生之問題。

為讓本創作之上述目的、特徵及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式簡單說明

圖1係習知技術中之積體電路靜電保護電路；

圖2係本創作第一實施例中之積體電路靜電保護電路；

圖3係本創作第二實施例中之積體電路靜電保護電路；

圖4係本創作第三實施例中之積體電路靜電保護電路；

圖5係本創作第四實施例中之積體電路靜電保護電路；

圖6係本創作第五實施例中之積體電路靜電保護電路。



五、創作說明 (5)

符號說明

- 11~焊墊；
- 13、15、61~電晶體；
- 17~內部電路；
- 23~上負載；25~下負載；
- 31~二極體；
- 41、43~被動阻抗；
- 51~電流源。

實施例

第一實施例

如圖2所示，係本創作第一實施例中之積體電路靜電保護電路20，其中與圖1的習知技術之積體電路靜電保護電路10相同之元件係使用相同之數字來表示。靜電保護電路20包括電晶體13、15及一分壓電路21。靜電保護電路20連接至一焊墊11，亦與一內部電路17連接。分壓電路21又包括一上負載23及一下負載25。其連接方式與圖1中習知技術之積體電路靜電保護電路10最大之不同，在於多了一個連接於焊墊與供應電壓端Vss之間的分壓電路21，以及電晶體13之閘極並非連接於電壓端Vdd，而是連接於上負載23及下負載25之相連處，而接受分壓電路21所提供之分壓V_G。

其操作為：當焊墊11接受一靜電襲擊時，由於分壓電路21與焊墊11連接，而使分壓電路21接受到一靜電所產生之電壓，進而經由上負載23及下負載25產生一分壓V_G。又

五、創作說明 (6)

電晶體13之閘極係連接至上負載23與下負載25之相連處，所以此時電晶體13之閘極會接受分壓 V_g 並導通，而經由電晶體13及15將靜電電荷導出，防止靜電經由焊墊11流入內部電路17而導致內部電路17損壞。

此外，由於在靜電襲擊時電晶體13導通，使原本在習知技術之靜電保護電路10中會產生之側邊npn之 β 增益變差以及高崩潰電壓之問題不會發生，而增加了此靜電保護電路之靜電放電能力，也提供了更佳之靜電防護力。

第二實施例

圖3顯示了本創作第二實施例中之積體電路靜電保護電路30。其中與圖1的習知技術之積體電路靜電保護電路10相同之元件係使用相同之數字來表示。靜電保護電路30與圖2中之靜電保護電路20之連接與操作均類似，但主要係以一串連之二極體31實現圖2中靜電保護電路20之上負載23及下負載25。其中，在上負載中，串連之二極體31之導通電壓的總和大於內部電路17在正常操作下焊墊11上之操作電壓，亦大於電晶體13之導通電壓。當靜電襲擊時，由於在上負載中所有二極體31處於導通狀態，所以在電晶體13之閘極會有一靜電電壓減去所有二極體31之總導通電壓之偏壓 V_g ，使電晶體13導通。

然而，雖然圖3中以四個二極體31來實現上負載，但其僅做為舉例之用，並不限於僅使用四個二極體。其主要目的是在於使上負載中串連之二極體31之導通電壓的總和大於內部電路17在正常操作下焊墊11上之操作電壓，而不



五、創作說明 (7)

限於使用二極體之數目。

第三實施例

圖4顯示了本創作第三實施例中之積體電路靜電保護電路40。其中與圖1的習知技術之積體電路靜電保護電路10相同之元件係使用相同之數字來表示。靜電保護電路40與圖2中之靜電保護電路20之連接與操作均類似，但係主要以被動阻抗41、43來實現圖2中之上負載23及25。被動阻抗41、43可以包括電阻或電容。

第四實施例

圖5顯示了本創作第四實施例中之積體電路靜電保護電路50。其中與圖1的習知技術之積體電路靜電保護電路10相同之元件係使用相同之數字來表示。靜電保護電路50與圖2中之靜電保護電路20之連接與操作均類似，但係主要以多個串連之二極體31及一電流源51分別實現圖2中之上負載23及下負載25。在靜電襲擊時，電流源51會提供一定電流使上負載中串連之二極體31產生一導通電壓，進而在電晶體13之閘極上產生一靜電電壓減去該些串連之二極體31之總導通電壓之偏壓 V_g ，使電晶體13導通。

同樣地，雖然圖5中以四個二極體31來實現上負載，但其僅做為舉例之用，並不限於僅使用四個二極體。其主要目的是在於使上負載中串連之二極體31之導通電壓的總合大於內部電路17在正常操作下焊墊11上之操作電壓，而不限於使用二極體之數目。

第五實施例



五、創作說明 (8)

圖6顯示了本創作第五實施例中之積體電路靜電保護電路60。其中與圖1的習知技術之積體電路靜電保護電路10相同之元件係使用相同之數字來表示。靜電保護電路60與圖5中之靜電保護電路50之連接與操作均類似，係主要以一處於半導通(subthreshold)狀態之電晶體61來實現一電流源。在靜電襲擊時，在電晶體61上會產生一偏壓Bias使電晶體61處於半導通狀態，而使電晶體61類似一電流源，提供一定電流使上負載中串連之二極體31產生一導通電壓，進而在電晶體13之閘極上產生一靜電電壓減去該些串連之二極體31之總導通電壓之偏壓 V_g ，使電晶體13導通。

同樣地，雖然圖6中以四個二極體31來實現上負載，但其僅做為舉例之用，並不限於僅使用四個二極體。其主要目的是在於使上負載中串連之二極體31之導通電壓的總合大於內部電路17在正常操作下焊墊11上之操作電壓，而不限於使用二極體之數目。

本創作雖已以較佳實施例揭露如上，但其並非用以限制本創作。任何熟悉此技藝者，在不脫離本創作之精神和範圍內，當可做些許之更動與潤飾。因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種積體電路之靜電保護電路，用以防止一內部電路受到靜電襲擊，且該內部電路經過一焊墊(pad)接收或輸出信號，該靜電保護電路包括：

- 第一電晶體，其汲極連接至該焊墊；
- 第二電晶體，汲極連接至該第一電晶體之源極，且源極與閘極相連並同時連接至一供應電壓端；
- 分壓電路，連接於該焊墊與該供應電壓端之間，並且與該第一電晶體之閘極連接而在該焊墊受靜電襲擊時，提供一偏壓至該第一電晶體之閘極，使該第一電晶體導通。

2. 一種積體電路之靜電保護電路，用以防止一內部電路受到靜電襲擊，且該內部電路經過一焊墊(pad)接收或輸出信號，該靜電保護電路包括：

- 第一電晶體，其汲極連接至該焊墊；
- 第二電晶體，汲極連接至該第一電晶體之源極，且源極與閘極相連並同時連接至一供應電壓端；
- 分壓電路，連接於該焊墊與該供應電壓端之間，包括一上負載及與該上負載串連之下負載，該分壓電路經由該上負載與該焊墊連接而經由該下負載與該供應電壓端連接，且該第一電晶體之閘極係連接至該上負載與下負載之連接處，在該焊墊受靜電襲擊時，該分壓電路提供一偏壓至該第一電晶體之閘極，使該第一電晶體導通。

3. 如申請專利範圍第2項所述之電路，其中該上負載係由複數串連之二極體所構成。



六、申請專利範圍

4. 如申請專利範圍第2項所述之電路，其中該下負載係由複數串連之二極體所構成。

5. 如申請專利範圍第2項所述之電路，其中該上負載係由電阻所構成。

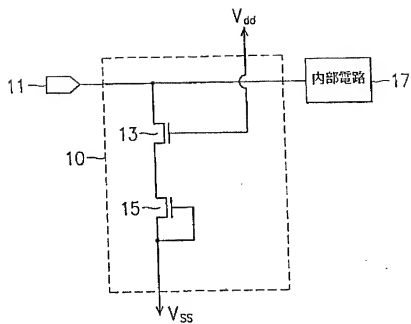
6. 如申請專利範圍第2項所述之電路，其中該下負載係由電阻所構成。

7. 如申請專利範圍第2項所述之電路，其中該下負載係由一電流源所構成。

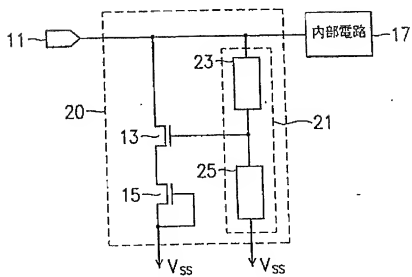
8. 如申請專利範圍第7項所述之電路，其中該電流源係一處於半導通(subthreshold)狀態之電晶體。

9. 如申請專利範圍第2項所述之電路，其中該上負載及下負載均由電容所構成。

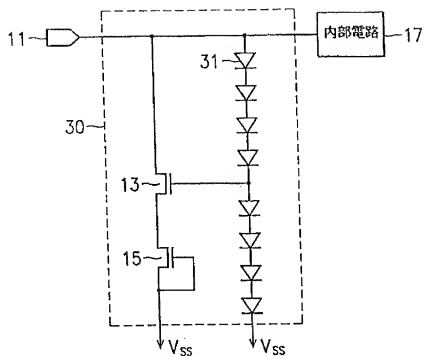




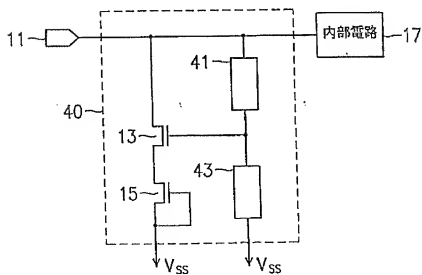
第 1 圖



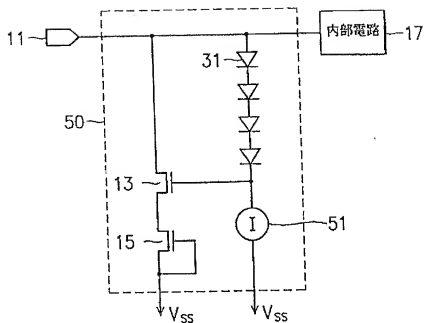
第 2 圖



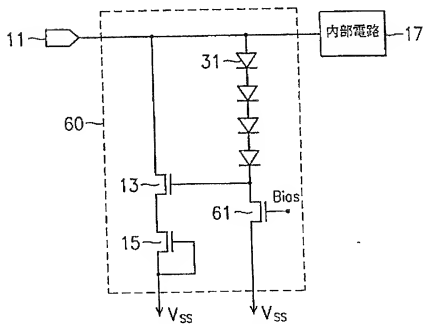
第 3 圖



第 4 圖



第 5 圖



第 6 圖